

3D NAND 闪存数据保持力与 初始状态依赖性研究

张明明^{1,2,3}, 王 颀^{1,2,3}, 井 冲³, 霍宗亮^{1,2,3}

(1. 中国科学院大学微电子学院, 北京 100049; 2. 中国科学院微电子研究所, 北京 100029;
3. 长江存储科技有限公司, 湖北武汉 201203)

摘 要: 数据保持力是 NAND 闪存重要的可靠性指标, 本文基于用户在使用模式下, 通过设计测试方法, 研究了电荷捕获型 3D NAND 闪存初始阈值电压 -2V 至 3V 的范围内数据保持力特性. 结果表明初始状态为编程态时, 可以有效降低 NAND 闪存高温数据保留后的误码率, 特别是随着擦写次数的增加, 不同初始状态下电荷捕获型 3D NAND 闪存数据保持力差异更加明显, 结论表明闪存最适宜存放的状态为 $0-1\text{V}$, 电荷捕获型 3D NAND 闪存器件应避免长期处于深擦除状态. 并基于不同初始状态闪存高温数据保留后的数据保持力特性不同的现象进行了建模和演示, 通过设计实验验证, 机理解释模型符合实验结果. 该研究可为电荷捕获型 3D NAND 闪存器件的长期存放状态提供理论参考.

关键词: 数据保持力; 初始状态; 误码率; 机理模型; 3D NAND

中图分类号: TP343 **文献标识码:** A **文章编号:** 0372-2112 (2020)02-0314-07

电子学报 URL: <http://www.ejournal.org.cn> **DOI:** 10.3969/j.issn.0372-2112.2020.02.014

Investigation of the Data Retention Initial State Dependence in 3D NAND Flash Memory

ZHANG Ming-ming^{1,2,3}, WANG Qi^{1,2,3}, JING Chong³, HUO Zong-liang^{1,2,3}

(1. School of Microelectronics, University of Chinese Academy of Sciences, Beijing 100049, China;
2. Institute of Microelectronics of the Chinese Academy of Sciences, Beijing 100029, China;
3. Yangze Memory Technologies Company, Wuhan, Hubei 201203, China)

Abstract: Data retention is an important reliability characteristic of NAND flash memory. Based on the user mode, this paper studies the data retention characteristics of charge trapping 3D NAND flash memory under different initial conditions. The results show that device programmed can effectively reduce the bit error rate after high-temperature data retention of NAND flash memory. Especially with the increase of the number of erasing and writing, the data retention of charge-trapping 3D NAND flash memory is more obvious under different initial conditions. The result shows that the flash memory is most suitable for storage $0-1\text{V}$, charge-trapping 3D NAND flash devices should avoid long-term deep erase conditions. In addition, modeled and demonstrated based on the phenomenon the threshold voltage offset after the high-temperature data retention of the flash memory is increased when initial state is erase state. Through the design experiment, the mechanism factor model accords with the experimental result. This study provides a theoretical reference for the long-term storage of charge-trapping 3D NAND flash devices.

Key words: data retention; bit error rate; read margin; mechanism model; 3D NAND

1 引言

NAND 闪存是当今最重要的非易失性存储器件之一, 因其功耗低、存储容量大、单位比特成本低等优点, 广泛应用于服务器、物联网、移动设备中, 市场需求旺盛^[1].

在 NAND 闪存中, 数据保持力特性 (DR, Data Retention) 是重要的可靠性指标之一. 随着 NAND 闪存器件特征尺寸的不断缩减和多值存储技术的发展, 其面临的数据保持力挑战日益严峻. 特别是随着 NAND 闪存器件特征尺寸的缩减, 导致存储单元存储电子数量持续减少, 在闪存单元上获得或丢失几个电子会显著

的改变存储单元的阈值电压,进而改变闪存的存储状态.而多值存储技术的发展,使每一存储态的存储窗口持续减小,长时间的数据保留使得各个存储窗口的交叉现象严重,错误比特增加,即使利用纠错技术(ECC)无法也完成全部数据位纠错,造成大量数据保留错误.因此研究和提升数据保持力特性尤为重要.大量研究表明,数据保持力受到擦写次数、温度等的影响^[2-5],物理失效机制主要是脱离缺陷机制(Detrapping Mechanism)、陷阱辅助隧穿机制(TAT, Trap-assisted Tunneling Mechanism)和界面缺陷消除机制(Interface Trap Recovery Mechanism)^[6-8].不同存储单元阈值电压水平之间的干扰也会影响数据保持力特性^[9].然而目前并没有报道3D NAND 闪存器件与其长期存放的初始状态是否存在相关性,基于以上背景,本文工作如下:

(1)以 TLC 型 3D NAND 电荷捕获型器件为研究对象,重点研究电荷捕获型 3D NAND 闪存数据保持力特性与初始状态的关系,并给出合适的初始编程状态,保持最低误码率(BER, Bit Error Rate).

(2)基于不同初始状态下闪存高温数据保留后误码率不同的现象进行建模和演示.通过实验验证,机理模型与实验结果相符.

2 实验

实验样品采用长江存储 64 层 TLC 型(Tri-Level Cell)电荷捕获型 3D NAND 闪存颗粒,闪存颗粒来自于 2 个批次的晶圆,并采用晶圆级别测试,研究不同初始状态下电荷捕获型 3D NAND 闪存数据保持力特征,试验方法如下:

(1)室温下对闪存样品进行 10、300、1K 次预擦写操作.

(2)对同一擦写次数的样品,阈值电压编程到 $-2V$ 、 $-1V$ 、 $0V$ 、 $1V$ 、 $2V$ 、 $3V$.

(3)高温 125°C 烘烤,通过对不同初始状态施加温度应力,模拟 NAND 闪存器件在不同初始状态下长期存放的过程.

(4)擦除操作.

(5)2 次数据保持力 DR 实验测量.数据保持力测量时写入的数据为随机数据,这有利于减小各存储单元之间的串扰,另外进行第 2 次数据保持力测试是为了验证机理模型,后续章节会详细介绍.具体试验流程如图 1 所示.

数据保持力是指存储单元储存电荷的能力,即存储单元在断电的情况下可以保留数据的时间,数据就是存储在 NAND 闪存器件的电子,电子泄露意味着数据的丢失.对于非易失型 NAND 闪存,在对存储单元进行编程后,电子泄露的速度非常缓慢,需要施加温度应力加速模

拟电子泄露的速度,研究结果表明电子泄露导致阈值电压 V_t 的变化与温度的关系符合阿伦尼斯模型^[8,10,11],即 $\lg(V_t)$ 与 $1/KT$ 成线性关系.所以数据保持力特性(DR)测试采用温度应力加速模拟电子泄露的速度.

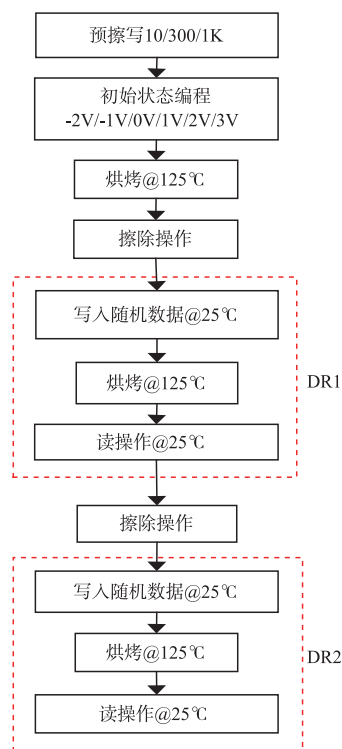


图1 不同初始状态下DR特征实验流程图

3 实验结果讨论

3.1 NAND 闪存高温数据保留错误特征

数据保持力退化的原因主要是由电荷泄露从而导致阈值电压而偏移造成的.在对闪存器件进行编程操作后,各个存储态阈值电压符合正态分布.由于工艺和器件结构等因素的影响,经过高温测试后,各个存储态阈值电压分布中 -3σ 值、 μ 值和 $+3\sigma$ 值中的 -3σ 值偏移量最大,由于 -3σ 值偏移量要大于 $+3\sigma$ 值,使得各个存储态交叉现象更加严重,示意图如图 2 所示.这种现象使得高温数据保留测试后错误比特进一步增加.

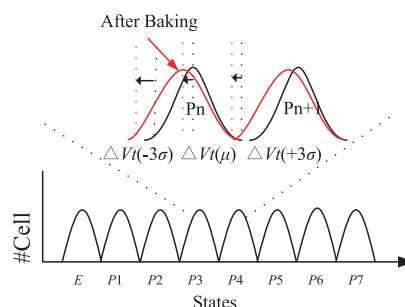


图2 TLC型NAND闪存高温烘烤后阈值电压分布示意图

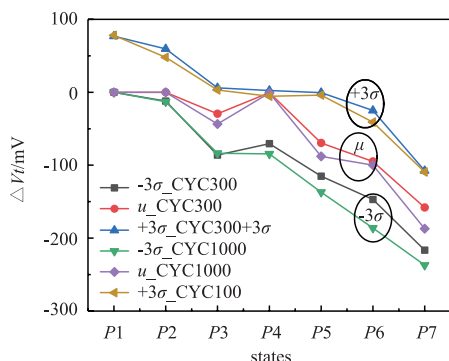


图3 TLC型闪存高温烘烤后阈值电压分布特征

图3是初始状态为0V的条件下,高温数据保留测试后,各存储态阈值电压分布中 -3σ 值、 u 值和 $+3\sigma$ 值处偏移量 ΔV_t 比较图,显然 -3σ 值偏移量最大.为全面了解TLC型NAND闪存数据保持力特征,以误码率(BER)表征数据保持力,误码率定义为错误比特数量与总比特的比值,表达式如下:

$$\text{BER} = \frac{N_{\text{fail bit}}}{N_{\text{total bit}}}$$

3.2 不同初始状态下数据保持力特性分析

本实验将字线分为三组进行观测,字线具体分组如图4所示.图5(a)、(b)、(c)分别为不同擦写次数条件下数据保持力特性与初始状态关系测试图,由图可知,NAND闪存数据保持力特性受到初始状态的影响.擦写次数为10次的条件下,如图5(a)所示,同一字线分组下,初始状态为擦除态($V_t < 0\text{V}$)的误码率BER是初始状态为编程态($V_t > 0\text{V}$)的1.5倍至2倍,当初始状态为0V时,BER出现拐点,但随着初始状态电压水

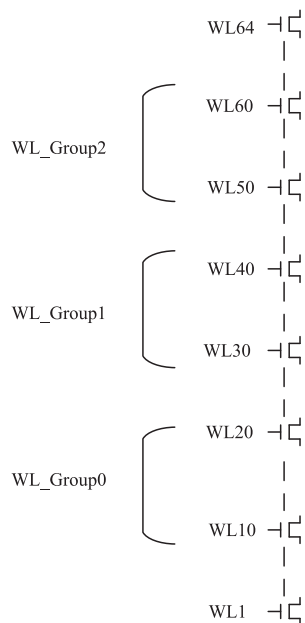


图4 字线分组示意图

平增大0V至3V,误码率无明显变化,说明数据保持力特性与NAND闪存处于擦除态和编程态密切相关.

由于三维NAND闪存电荷捕获层沟道是连续的,受工艺和器件结构因素的影响,电荷捕获层沟道尺寸存在差异,这就导致不同字线之间的存储单元的数据保持力特性并不相同.随着擦写次数的增加,不同初始状态下的NAND闪存误码率差异进一步扩大,结果如图5(a)、(b)、(c)这种不同初始状态下误码率的不同现象与擦写次数呈现正相关,擦写次数越大,不同初始状态下误码率差异也越大.

为进一步验证不同初始状态下数据保持力特性存在差异,选取另一批次晶圆上的闪存颗粒,记为W2.实验结果显示,不同初始状态下数据保持力特性与W1现象相同,如图5(d)所示.由于存储状态越高所需要编程的时间越长,为保持良好的数据保持力特性和减少编程时间,对于长时间空闲的NAND存储器件,特别是随着擦写次数的增加,最适宜的初始状态应0~1V.

3.3 机理论建模

对于浮栅结构NAND闪存器件, Lee^[6,12,13]认为影响数据保持力的物理机制有三种,分别为脱离缺陷机制(Detrapping Mechanism)、陷阱辅助隧穿机制(TAT, Trap-assisted Tunneling Mechanism)界面缺陷消除机制(Interface Trap Recovery Mechanism), Jae^[7]认为随着擦写次数的增加,在界面处产生的缺陷或浅能级是影响闪存数据保持力最重要的因素.而对于电荷捕获型3D NAND闪存,本研究认为不同初始状态下闪存数据保持力存在差异的物理机制应归结于游离正电荷的存在.随着擦写次数的增加,界面附近产生缺陷的同时,也会产生游离的正电荷,如图6所示.

受工艺和材料等因素的影响,这部分游离正电荷有可能是Si-H断裂后产生的 H^+ ($\text{Si} + \text{H} \rightarrow \equiv \text{Si} + \text{H}^+$).由于3D NAND闪存的电荷捕获层是连续的,产生的 H^+ 很容易扩散到电荷捕获层中.游离的正电荷的存在能够吸引自由电子并复合电子,当存储器件编程到编程状态时,会影响存储单元编程后电子的分布和数量.以初始状态为擦除态和编程态为例,在现有测试流程下,不同初始状态数据下数据保持力特征机制解释模型如图7所示,解释如下:

(1) 由于工艺和材料的影响,隧穿层与电荷捕获层界面产生缺陷的同时,也会产生正电荷(H^+),这部分正电荷(H^+)进一步扩散到电荷捕获层中,使得电荷捕获层存在游离的正电荷.如图7中(a)、(f)所示.

(2) 存储单元编程到不同初始状态,擦除态和编程态,不同的初始状态中存储的电荷会与电荷捕获层中游离正电荷(或 H^+)相互作用,假设擦除态存储单元存储 $+10\text{Q}$ 的空穴,编程态存储单元存储 -10Q 的电子,

如图 7(b)、(g) 所示. 对于初始状态为擦除态的存储单元, 存储的空穴与并不会影响游离正电荷的分布及数量, 而初始状态为编程态的存储单元, 电荷捕获层中存

储有大量的电子, 这部分电子会与游离的正电荷发生复合作用, 导致游离正电荷的减小, 电子数量变为 $(-4Q)$ 如图 7(g)、(h) 所示.

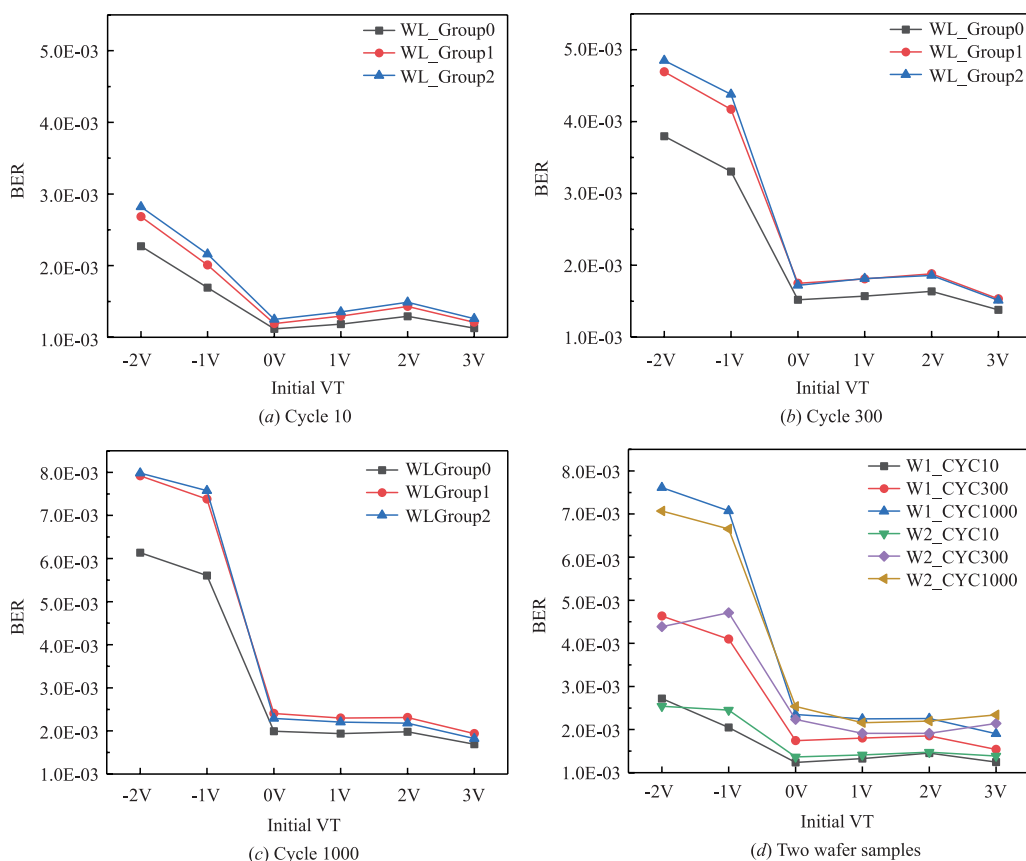


图5 不同初始状态下闪存误码率结果图

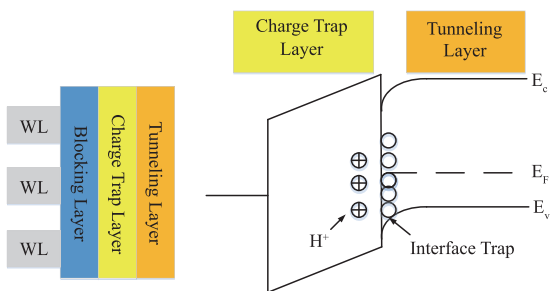


图6 3D NAND 闪存器件结构和界面能带示意图

游离正电荷的减小会影响不同初始态数据保持力特性. 在做数据保持力测试时, 初始状态为编程态的存储单元, 由于游离正电荷被复合掉, 存储单元在编程后, 电子泄露减小. 而初始状态为擦除态的存储单元, 游离正电荷无明显变化, 这部分游离正电荷 $(+6Q)$ 与存储的电子发生复合作用, 使存储的电子数量减小, 如图 7(d)、(e) 所示, 导致阈值电压偏移量 ΔV_t 增大, BER 上升.

擦写次数越多, 不同初始态对数据保持力的影响

越大, 主要是由于擦写次数增多, 隧穿层与电荷捕获层界面产生缺陷的同时, 也会产生更多的游离正电荷 (H^+) , 存储的电子与游离正电荷复合增多, 电子数量进一步减小, 使得不同初始态下闪存数据保持力特征的差异更加明显.

3.4 机理模型实验与结果分析

通过对不同初始状态数据保持力特征差异机理建模和分析, 将不同初始状态下 NAND 闪存数据保持力影响的因素归结于游离电荷的分布和数量. 无论是初始状态为编程态还是擦除态, 其电荷捕获层中游离的正电荷通过图 1 中实验流程都被复合掉. 初始状态为擦除状态的样品是在做第 1 次数据保持力测量时被复合掉, 初始状态为编程状态的样品编程初始状态为编程态时被复合掉, 所以再次进行对样品进行数据保持力的测试时, 不同初始状态下数据保持力特性应无明显差异, 机理验证实验只增加对原来的器件样品的做第 2 次数据保持力测量 (DR2).

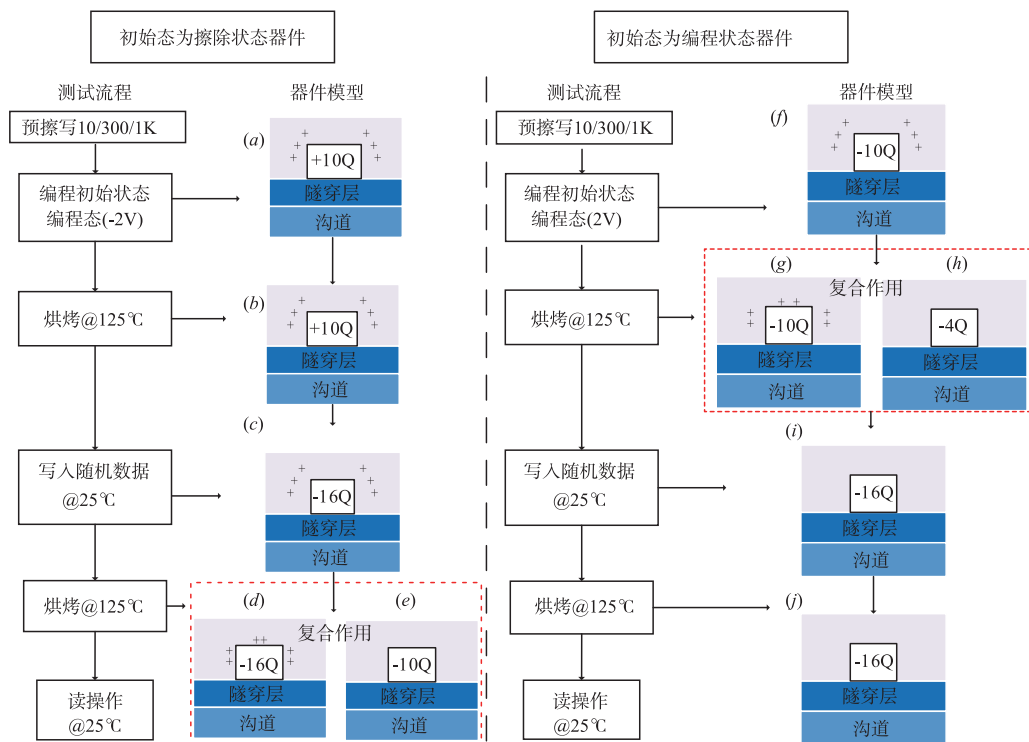


图7 不同初始状态数据下数据保持力特征机制解释模型

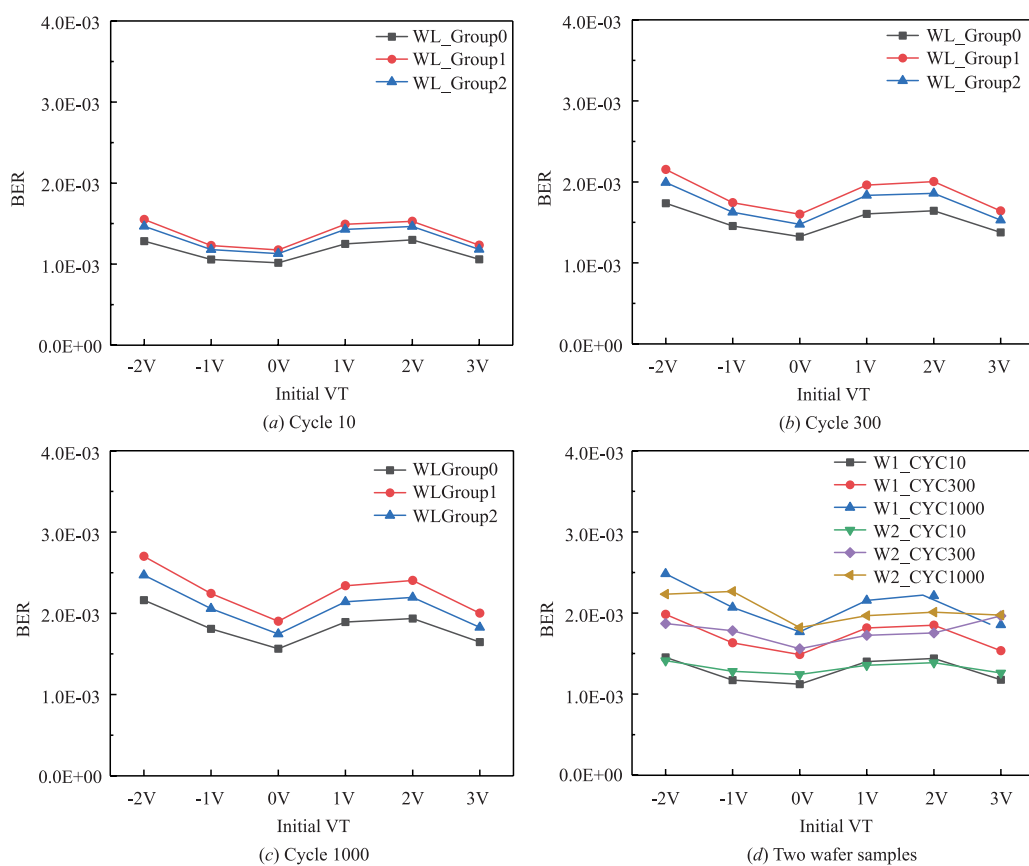


图8 DR2测试结果图

对原有样品进行第 2 次数据保持力测试,实验结果如图 8 所示,不同字线之间,在同一擦写次数下不同初始状态下误码率并无明显差异,实验结果如图 8(a)、(b)、(c)。

再次对比 2 批次中的晶圆在不同初始状态下的误码率,结果显示并无明显差异,所以不同初始状态下 NAND 闪存数据保持力影响的因素应归结于游离电荷的分布和数量,机理理论模型与实验相符。

综上所述,不同初始状态造成数据保持力特征差异的机理模型与实验结果相符。不同初始状态会对电荷捕获型 3D NAND 闪存数据保持力特性产生影响,这种影响很有可能电荷捕获层中存在着游离的正电荷相关,从工艺角度判断,这部分游离的正电荷或许来自于 H^+ 的扩散。

3.5 研究应用场景

在 NAND 闪存系统级的应用中,例如 SSD 和 UFS 产品,为保证写入数据正确性,需要在合理的时间内对有效数据进行迁移,在对有效数据迁移过程中,对于待迁移和长期处于空闲的数据块,其状态应处于 0V 到 1V 之间,应避免处于深擦除状态,以保证最优的数据保持力,降低误码率。

4 结论

对于电荷捕获型 3D NAND 闪存器件,长期处于不同的初始状态对数据保持力特性产生影响,初始状态为编程状态时数据保持力特性优于初始状态为擦除状态。考虑编程时间,NAND 闪存适宜初始状态应为 0 ~ 1V。通过机理因素理论建模与试验验证,不同的初始状态对数据保持力特性产生影响的原因可能与电荷捕获层中存在有“游离电荷”相关。电荷捕获型 3D NAND 在长时间存放过程中要避免处于深擦除状态。该研究可为电荷捕获型 3D NAND 闪存器件的长期存放状态提供参考。

参考文献

- [1] 迎九. NAND 闪存市场持续高涨,2020 年将超 DRAM [J]. 电子产品世界,2017,24(10):6-12.
- [2] Cai Y, Luo Y, Haratsch E F, et al. Data retention in MLC NAND flash memory: Characterization, optimization, and recovery [A]. proceedings of the 2015 IEEE 21st International Symposium on High Performance Computer Architecture (HPCA) [C]. Burlingame, USA; IEEE, 2015. 551-563
- [3] Tsai W J, Zous N K, Liu C J, et al. Data retention behavior

- of a SONOS type two-bit storage flash memory cell [A]. proceedings of the International Electron Devices Meeting [C]. Washington, USA; IEDM, 2001. 3261-3264.
- [4] Jae D L, Jeong H C, Donggun P, et al. Data retention characteristics of sub-100 nm NAND flash memory cells [J]. IEEE Electron Device Letters, 2003, 24(12):748-750.
- [5] Xia Z, Dae Sin K, Narae J, et al. Comprehensive modeling of NAND flash memory reliability: Endurance and data retention [A]. proceedings of the 2012 IEEE International Reliability Physics Symposium (IRPS) [C]. Anaheim, USA; IEEE, 2012. 51-54.
- [6] Lee K, Shin H. Investigation of retention characteristics for trap-assisted tunneling mechanism in sub 20-nm NAND flash memory [J]. IEEE Transactions on Device and Materials Reliability, 2017, 17(4):758-62.
- [7] Jae-Duk L, Jeong-Hyuk C, Donggun P, et al. Effects of interface trap generation and annihilation on the data retention characteristics of flash memory cells [J]. IEEE Transactions on Device and Materials Reliability, 2004, 4(1):110-117.
- [8] Lee K, Kang M, Seo S, et al. Analysis of failure mechanisms and extraction of activation energies E_a in 21-nm NAND flash cells [J]. IEEE Electron Device Letters, 2013, 34(1):48-50.
- [9] Liu Y H, Lin H Y, Jiang C M, et al. Investigation of data pattern effects on nitride charge lateral migration in a charge trap flash memory by using a random telegraph signal method [A]. proceedings of the 2018 IEEE International Reliability Physics Symposium (IRPS) [C]. Burlingame, USA; IEEE, 2018. 611-615.
- [10] Salvo B D, Ghibaudo G, Pananakakis G, et al. Experimental and theoretical investigation of nonvolatile memory data-retention [J]. IEEE Transactions on Electron Devices, 1999, 46(7):1518-1524.
- [11] Lee K, Kang M, Hwang Y, et al. Accurate lifetime estimation of sub-20-nm NAND flash memory [J]. IEEE Transactions on Electron Devices, 2016, 63(2):659-667.
- [12] Lee K, Kang M, Seo S, et al. Activation energies (E_a) of failure mechanisms in advanced NAND flash cells for different generations and cycling [J]. IEEE Transactions on Electron Devices, 2013, 60(3):1099-1107.
- [13] Lee K, Kang M, Seo S, et al. Separation of corner component in TAT mechanism in retention characteristics of sub 20-nm NAND flash memory [J]. IEEE Electron Device Letters, 2014, 35(1):51-53.

作者简介



张明明 男,1993 年 10 月出生,河南安阳人. 现为中国科学院大学微电子学院研究生,主要研究方向为 3D NAND 闪存失效方向及数据保持力特性.

E-mail: zhangmingming17@mails.ucas.edu.cn



王 颀 男,上海人,中国科学院微电子所研究员,博士生导师. 研究方向为新型纳米存储器件与集成技术、存储器纠错技术研究.

E-mail: wangqi1@ime.ac.cn



井 冲 男,1980 年出生,上海人,硕士学位. 长江存储科技有限公司资深工程师,产品经理. 研究方向 3D NAND 闪存失效模型及测试工程.

E-mail: Tonie_Jing@ymtc.com



霍宗亮(通讯作者) 男,1975 年出生于陕西,中科院微电子所研究员,博士生导师,现研究方向为新型半导体存储技术.

E-mail: huozongliang@ime.ac.cn